

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-274633

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

H03L 7/14  
H03L 7/093  
H03L 7/107

(21)Application number : 08-015734

(71)Applicant : TOSHIBA CORP  
TOSHIBA TSUSHIN SYST ENG KK

(22)Date of filing : 31.01.1996

(72)Inventor : TAKAMI MASAYUKI  
KATAOKA MASAHIRO  
SHIBAGAKI TARO

(30)Priority

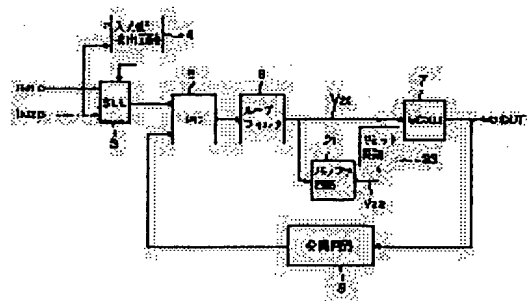
Priority number : 07 13739 Priority date : 31.01.1995 Priority country : JP

## (54) PLL CIRCUIT

(57)Abstract:

PURPOSE: To delay the transient response characteristic to the output phase variance caused in a switching mode of a reference signal in a simple constitution and to fast response to the minute variance caused in a steady mode.

CONSTITUTION: The output of a voltage control oscillator 7 is divided by a frequency divider 8 in accordance with the frequency of an input reference signal. A phase comparator 5 compares the phases with each other between the divided outputs and the input reference signal. This phase error signal is converted into the control voltage of the oscillator 7 by a PLL circuit through a loop filter 6. Then the voltage that is equal to the output voltage of the filter 6 in terms of DC is generated to the PLL circuit. The transient response characteristic of the generated voltage is set slower than the response characteristic of the output voltage of the filter 6 in a buffer circuit 21. Then a limit circuit 23 limits the output of the filter 6 when the voltage difference between the output of the circuit 21 and that of the filter 6 exceeds a prescribed voltage level.



## LEGAL STATUS

[Date of request for examination] 19.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In a PLL circuit equipped with a phase comparator which carries out the phase comparison of an armature-voltage control oscillation means to have a function changed into frequency of an input-reference signal, and an output signal and an input-reference signal of this armature-voltage control oscillation means while carrying out the oscillation output of the signal of frequency according to control voltage, and a loop filter which changes an output of this phase comparator into control voltage of said voltage controlled oscillator, voltage almost [ in direct current ] equal to output voltage of said loop filter is generated, and it is \*\*. A PLL circuit possessing a limit circuit which restricts said loop filter output when it intervenes between a buffer circuit which sets up and becomes, and an outgoing end of this buffer circuit and said loop filter outgoing end and a voltage difference during both outputs becomes more than specified voltage so that it may become later than the response characteristic of said loop filter output voltage about the transient response property of that generated voltage.

[Claim 2] Said buffer circuit is a PLL circuit according to claim 1 characterized by passing a low pass filter and a voltage follower circuit for said loop filter output, and for said low pass filter determining a time response property, and determining gain in said voltage follower circuit.

[Claim 3] Said low pass filter is a PLL circuit according to claim 2 characterized by carrying out termination to potential of a value near the control voltage of said voltage controlled oscillator at the time of stationary actuation.

[Claim 4] Furthermore, a PLL circuit according to claim 1 characterized by having input \*\*\*\*\* with input \*\*\*\*\* which carries out change control so that delivery and other reference signals may be chosen at said selector when a selector which chooses one of said two or more of the reference signals when there are two or more said input-reference signals, and an input state of two or more of said reference signals are seen and there is \*\*\*\*\* of a selection-criterion signal of said selector.

[Claim 5] Furthermore, a PLL circuit according to claim 4 characterized by having a switch which intervenes in a path to said loop filter outgoing end through said limit circuit from an outgoing end of said buffer circuit, and carrying out ON/OFF control of this switch according to said input \*\*\*\*\*.

[Claim 6] Furthermore, it is the PLL circuit according to claim 1 characterized by having a switch control means which regards it as a synchronous condition, makes said switch an ON state when a switch which intervenes in a path to said loop filter outgoing end through said limit circuit from an outgoing end of said buffer circuit, and an output level of said loop filter do not fulfill default value, regards it as an

asynchronous condition and makes said switch an OFF state when exceeding default value.

[Claim 7] Said switch control means is a PLL circuit according to claim 6 characterized by having a discrimination decision circuit which compares a peak hold circuit which detects a peak level of an output of said loop filter with a peak level and default value which were detected in this circuit, and identifies a synchronization and asynchronous one, and a switch control circuit which controls turning on and off of said switch according to a discernment result of this circuit.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to PLL circuit which has for example, a redundancy system.

[0002]

[Description of the Prior Art] As everyone knows, although the PLL circuit is used by various technical fields, the important role for generating a clock pulse of operation, a frame pulse of data, etc. which especially serve as criteria of equipment in a communication device is played.

[0003] Generally the PLL circuit was used for the communication device on the basis of reception and it from the exterior for low frequency, for example, the reference frequency of 8 [kHz] and 2.048 [MHz], and it has made the own clock of equipment of operation.

[0004] Drawing 10 shows the configuration of the conventional PLL circuit, two systems etc. are inputted and, as for the reference signal from the outside, the redundant configuration is taken. These two inputs IN1 and IN2 are chosen by the selector (SEL) 3. Selection change control of this selector 3 is made by input \*\*\*\*\* 4. That is, by the way, it crawls and one [ a gap or ] signal is chosen, and when [ whose two inputs are normal ] the signal becomes \*\*, it is controlled to change to the input of another side and to operate.

[0005] The phase comparison of the reference signal chosen by the selector 3 is carried out to the signal generated by carrying out dividing of the output of the voltage controlled oscillator (VCXO) 7 which is supplied to one input edge of a phase comparator (PC) 5, and is supplied to the input edge of another side in a frequency divider 8.

[0006] The phase error signal acquired by this phase comparison is inputted into a loop filter 6. This loop filter 6 changes the output of a phase comparator 5 into the control voltage of a voltage controlled oscillator 7 with a certain designed transfer function. Generally a lag reed filter, a complete integral mold filter, etc. are used.

[0007] As an output OUT of the PLL circuit by the above-mentioned configuration, the clock of the high speed which synchronized with the reference frequency of inputs IN1 or IN2 will be obtained. It is used in the communication device, distributing this PLL circuit output in equipment. Moreover, when a still more nearly high-speed clock is required within equipment, he makes multistage connection of two or more PLL circuits, and is trying to generate the clock of required frequency.

[0008] In this case, the response characteristic at the time of multistage connection of a PLL circuit

becomes a problem. When a failure occurs in a reference signal in the PLL circuit of the preceding paragraph and the change to the reference signal of another side occurs especially, it becomes a problem whether the PLL circuit of \*\*\*\*\* can be followed. If it becomes impossible to follow latter rhoLL at fluctuation of rhoLL of the preceding paragraph, it becomes impossible to take the synchronization of a clock of operation inside equipment, and it will become impossible to perform normal data transmission.

[0009] When making multistage connection of the PLL so that such a problem may not occur, it is designed so that responsibility of latter PLL may be made into a high speed rather than rhoLL of the preceding paragraph and the frequency range which can synchronize may be made large.

[0010] Thus, in a circuit design, the constraint on layout is received for this cascade connection, and since investigation of the device which has a desired property further, or new development is needed, the composed product becomes quite expensive in many cases. Moreover, the condition can never necessarily be satisfied by constraint of the components to be used.

[0011] By the way, in the conventional PLL circuit shown in drawing 10, when the reference signal of an input becomes \*\*, the input of a phase comparator 5 will also disappear by the time a failure is detected by input \*\*\*\*\* 4 and a reference signal new next is chosen, PLL will synchronize again to the phase of the new reference signal. Moreover, the security which is the same phase as the original reference signal does not have a new reference signal, either.

[0012] The transient response property at this time will be decided by the transfer characteristics of PLL, and the control voltage of a voltage controlled oscillator 7 will be excited according to the step response of a loop filter 6. For this reason, although the response characteristic at the time of a change can be made late by taking the large time constant of a loop filter 6, the response at the time of a stationary must be made late.

[0013] Thus, at the former, to the time of a stationary, and very small fluctuation, it is a high speed and there was no suitable means to make a response late like [ at the time of the change of criteria ] only at the time of big phase fluctuation. In addition, although a transient response can be made late by adding zener diodes 10 and 11 and limiting the control voltage of a voltage controlled oscillator 7 as shown in drawing 11 for example, the lock range of PLL and a capture range will be restricted with such a means. And since the property of a voltage controlled oscillator 7 has large temperature fluctuation, if it is going to control with the limit value of immobilization of such a configuration, there will be a problem from which an operating characteristic becomes imbalance, and a not much tight limit will not be prepared.

[0014] Moreover, recently, since layout flexibility is increased, digital logic processing realizing a loop filter and making an above-mentioned flattery property good is also performed. However, by this method, a circuit scale is also greatly expensive, and since a circuit is complicated, the problem that reliability falls is in reverse.

[0015]

[Problem(s) to be Solved by the Invention] As stated above, to fluctuation as very small in the conventional PLL circuit as the time of a stationary, there was no suitable means to have been a high speed and to make a response late like [ at the time of the change of a reference signal ] only at the time of big phase fluctuation.

[0016] It was made in order that this invention might solve the above-mentioned technical problem, the transient response property of the output phase fluctuation produced with an easy configuration at the time of the change of a reference signal is made late, a high speed can be answered to the time of a

stationary, and very small fluctuation, and when cascade connection is carried out, it aims at offering rhoLL circuit which can mitigate the burden of the latter part PLL.

[0017]

[Means for Solving the Problem] An armature-voltage control oscillation means to have a function changed into frequency of an input-reference signal while this invention carries out the oscillation output of the signal of frequency according to control voltage, in order to attain the above-mentioned purpose, In a PLL circuit equipped with a phase comparator which carries out the phase comparison of an output signal and an input-reference signal of this armature-voltage control oscillation means, and a loop filter which changes an output of this phase comparator into control voltage of said voltage controlled oscillator A buffer circuit which sets up and becomes so that voltage equal to output voltage of said loop filter in direct current may be generated and it may become later than the response characteristic of said loop filter output voltage about the transient response property of the generated voltage, When it intervenes between an output of this buffer circuit, and said loop filter output and a voltage difference during both outputs becomes more than specified voltage, a limit circuit which restricts said loop filter output is provided.

[0018] Add a limiter circuit which becomes effective in a PLL circuit by the above-mentioned configuration only when an abrupt change arises to control voltage of the usual voltage controlled oscillator. Namely, it is what prepare a buffer circuit which builds the same voltage as control voltage, and it is made for that transient response to become later than a response of control voltage, and restricted the original control voltage on the basis of this buffer output. It is limited when control voltage of a voltage controlled oscillator changes to a high speed, and when causing big phase fluctuation like [ at the time of an input change of PLL ], the response characteristic can be made into what was carried out slowly.

[0019] Moreover, when a switch which intervenes in a path to said loop filter outgoing end through said limit circuit from an outgoing end of said buffer circuit, and an output level of said loop filter do not fulfill default value further, it considers that a PLL circuit by this invention is a synchronous condition, and it makes said switch an ON state, and when exceeding default value, it is characterized by to have a switch control means which regards it as an asynchronous condition and makes said switch an OFF state.

[0020] A time of not functioning as a time of a limiter circuit functioning can be alternatively controlled by PLL circuit by the above-mentioned configuration in the state of a synchronous condition and asynchronous, and this can protect deterioration of a capture range in it.

[0021]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained to details with reference to drawing 1 thru/or drawing 9 . Drawing 1 shows the configuration of the 1st operation gestalt of the PLL circuit concerning this invention. In addition, in drawing 1 , the same sign is attached and shown in the same portion as drawing 7 , and a portion different here is explained to it.

[0022] In drawing 1 , a point different conventionally which was shown in drawing 7 from a circuit is in the point of having added the buffer circuit 21 and the limiter 23. As already stated, the purpose of this invention is making late speed of the phase change of the output OUT when the change of the input-reference signals IN1 and IN2 occurs, without sacrificing other properties of PLL. When change actuation of these inputs IN. [ IN1 and ] 2 occurs, the output of a phase comparator 5 is changed rapidly, also follows the output of a loop filter 6 and is changed.

[0023] A buffer circuit 21 is a circuit which can take out voltage equal in direct current as an output V22 on the basis of the output voltage V20 of a loop filter 6. That is, the gain of a buffer circuit 21 is a 1 time as many circuit as this. However, since the precision is not made an issue of, it does not need to be 1 strictly here. Moreover, the time response property of a buffer circuit 21 is set up so that it may become later than the time response property of the control voltage V20 decided by the response characteristic of loop filter 6 grade.

[0024] Thus, the output voltage V22 of the designed buffer circuit 21 is equal to control voltage V20 in direct current. That is, to temperature fluctuation or change like aging of supply voltage carried out very slowly, it follows with an equal value. However, it changes to change of the control voltage V20 at the time of the change of inputs IN1 and IN2 from which the input of a phase comparator 5 changes in the shape of a step, without following, and front voltage is held to some extent. For this reason, a voltage difference occurs between control voltage V20 and the output voltage V22 of a buffer circuit 21. When exceeding a range with this voltage difference, the limit circuit 23 is added so that control voltage V20 may not change any more on the basis of the buffer output V22.

[0025] However, what is necessary is just to make the load impedance of the output side of a buffer circuit 21 become lower than a control voltage V20 side, in order to acquire the limit property on the basis of the output V22 of a buffer circuit 21 to the last.

[0026] The example in the case of realizing this in an actual circuit is shown in drawing 2. a buffer circuit -- 21 -- for example, -- resistance -- ( $R$ ) -- 24 -- a capacitor -- ( $C$ ) -- 25 -- control voltage --  $V$  -- 20 -- having filtered -- after -- an operational amplifier -- ( $IC$ ) -- 26 -- depending -- voltage -- a follower -- a circuit -- amplification -- an output -- carrying out -- as -- constituting -- realizing . The gain becomes settled in a voltage follower circuit, and is set to about 1. A time response property turns into Resistance  $R$  and the property of a low pass filter which becomes settled in the value of Capacitor  $C$ .

[0027] As a limit circuit 23, between the transmission line of control voltage V20, and the transmission line of the output V22 of a buffer circuit 21, it connects and diodes 27 and 28 can be realized so that it may become hard flow mutually. With this configuration, only the amount of [ of the \*\*\*\*\* diodes 27 and 28 ] forward direction drop voltage will change to a positive direction and a negative direction to the output V22 of the buffer circuit 21 of control voltage V20, but it will be limited in the place where a difference is larger than it. This limiting value, i.e., forward direction drop voltage, is usually 0.3-0.8 [V] in silicon diode.

[0028] Drawing 3 is the wave form chart showing the response actuation in the above-mentioned configuration, and, as for drawing 3 (a), control voltage V20 shows the case where drawing 3 (b) changes with the changes of a reference signal rapidly when changing control voltage V20 slowly in time. In addition, the wave shown by the dotted line in drawing 3 (b) is the control change of potential of the conventional PLL circuit, and it is shown in order to give explanation intelligible.

[0029] In changing control voltage V20 slowly so that this drawing 3 may show, it follows the output voltage V22 of a buffer circuit 21 at control voltage V20. For this reason, both voltage difference is hardly generated. However, when control voltage V20 changes rapidly, a big voltage difference occurs, and as the alternate long and short dash line in drawing 3 (b) shows, it comes to change control voltage V20 after all with the value restricted on the drop voltage  $V_f$  by diode 27.

[0030] That is, like drawing 3 (b), even if control voltage V20 changes suddenly, the buffer output V22 does not tend to answer but the difference more than the forward direction drop voltage  $V_f$  of diode 27



tends to produce it between control voltage V20 and the buffer output V22. For this reason, diode 27 becomes low impedance. Therefore, change of control voltage V20 can be limited. When this is considered as a phase change of the PLL circuit output OUT, it will be said that a rapid phase change will not be carried out by the configuration of this invention.

[0031] Here, the example actually examined with the application of this invention is shown in drawing 4. Drawing 4 carries out dividing of the phase change of the output OUT of a PLL circuit to the same frequency as the clock of an input, and measures the phase change between both with a time interval analyzer. The phase change when changing the inputs IN1 and IN2 of a PLL circuit is changing, and (a) and (b) show before operation of this invention, and the operation back, respectively. Here, an axis of ordinate shows the phase contrast of PLL I/O, and expresses phase contrast with variation and time amount (microsecond unit). Moreover, a horizontal axis is a time-axis and, in (a), per [ 5 ] 1div [ms] and in (b), it has become per [ 25 ] 1div [ms].

[0032] In the back before the change of an input takes place in any case, the phase is changing for about 2 microseconds. This is a part for the primary stage phase contrast of an input. However, if it asks by the time amount concerning changing, i.e., the time amount between the markers a and b of the dotted line shown in a screen, in drawing 4 (a), it is about 12 [ms], and has become 52 [ms] in drawing 4 (b).

[0033] It has succeeded in extending the duration of the phase fluctuation at the time of an input change about 4 times by this invention so that this result may show. If this is converted into fluctuation of instantaneous frequency, in the case of drawing 4 (a), in the case of about 166 [ppm] and drawing 4 (b), it is about 40 [ppm]. It has succeeded in controlling the fluctuation by application of this invention to changing momentarily to the maximum of the adjustable range of a voltage controlled oscillator in the case of drawing 4 (a).

[0034] When cascade connection of the PLL was carried out according to this effect, by the former, it needed to think near \*\*200 [ppm] as maximum of fluctuation to the input of latter PLL. On the other hand, when this invention is applied, \*\*40 [ppm] will be considered as maximum of fluctuation, and may be designed. This has constraint of the device to be used, and the constraint equal to becoming easy 4 times on layout.

[0035] Moreover, if a lock range is measured, it will not be different from the former at all. That is, it was also checked that the flattery property over change which the input carried out slowly is still the conventional example. The 2nd operation gestalt concerning this invention is explained with reference to drawing 5. In addition, in drawing 5, the same sign is attached and shown in the same portion as drawing 2, and a portion different here is explained to it.

[0036] That is, although he is trying to ground the capacitor 25 of a buffer circuit 21 in the example of drawing 2, at this operation gestalt, it is a certain direct current voltage VT. He is trying to connect with Rhine. This direct current voltage VT It sets up so that it may become almost equal to the voltage of the control voltage V20 of a steady state. According to this configuration, actuation of the moment of switching on a power supply, for example can be stabilized more now at a high speed.

[0037] The 3rd operation gestalt concerning this invention is explained with reference to drawing 6. In addition, in drawing 6, the same sign is attached and shown in the same portion as drawing 1, and a portion different here is explained to it.

[0038] That is, that limit actuation is needed in a PLL circuit is the case where the change of a reference signal arises by \*\*\*\*\* of a reference signal, and it is unnecessary in stationary operating state. So, with

this operation gestalt, a switch 31 is formed between a buffer circuit 21 and the limit circuit 23, and it is made to carry out on-off control of this switch 31 by input \*\*\*\*\* of input \*\*\*\*\* 4.

[0039] Since according to this configuration the limit circuit 23 operates only when the limit circuit 23 does not operate in stationary operating state but there is \*\*\*\*\* , the unstable condition in stationary actuation is avoidable.

[0040] The 4th operation gestalt concerning this invention is explained with reference to drawing 7 . In addition, in drawing 7 , the same sign is attached and shown in the same portion as drawing 1 , and a portion different here is explained to it.

[0041] The limit circuit 23 is connected to the transmission line of the control voltage V20 outputted from a loop filter 6 through a switch 41 in drawing 7 . Moreover, the control voltage V20 outputted from a loop filter 6 is supplied also to the peak hold circuit 42. This peak hold circuit 42 carries out detection maintenance of the positive/negative peak level of control voltage V20, and that positive/negative holding level is sent to a discrimination circuit 43.

[0042] This discrimination circuit 43 regards it as a synchronous condition, when holding level does not fill default value with positive/negative holding level as compared with the default value which was able to be decided beforehand, respectively, and when exceeding default value, it regards it as an asynchronous condition. The discernment result is supplied to the switch control circuit 44.

[0043] This switch control circuit 44 carries out change control of the above-mentioned switch 41 for the above-mentioned switch 41 in an ON state and an asynchronous condition at an OFF state, when a discernment result is in a synchronous condition. In the above-mentioned configuration, when a switch 14 is an OFF state, it is the same as the configuration of the conventional example of drawing 10 . Moreover, the function of a buffer circuit 21 and the limit circuit 23 is the same as the 1st operation gestalt shown in drawing 1 . Therefore, the function and effect of the switch 41 added here, the peak hold circuit 42, a discrimination circuit 43, and the switch control circuit 44 are explained.

[0044] As mentioned above, since the control voltage V20 outputted from a loop filter 6 receives no limit effect to the fluctuation carried out slowly, even if the switch 41 is an ON state, it does not change a lock range. However, a range when resulting [ from a capture range, i.e., an asynchronous condition, ] in a synchronous condition will become narrow. That is, since the frequency adjustable width of face at the time of drawing in is restricted by the limit circuit 23, a capture range will become narrow inevitably.

[0045] So, with this operation gestalt, the switch 41 is provided so that a capture range may not be narrowed. That is, the switch 41 is made into the OFF state until PLL synchronizes, and if it is made to be in an ON state for the first time when it results in a synchronous condition, deterioration of a capture range can be prevented.

[0046] Since a phase error is changed sharply, the control voltage V20 when being in an asynchronous condition is vibrating. In the peak hold circuit 42, the maximum minimum value of this vibration is detected, respectively, and is held. In a discrimination decision circuit 43, suitable default value is set up beforehand and it identifies a synchronization and asynchronous by whether the range by default value is exceeded about both maximum and minimum value.

[0047] The situation is shown in drawing 8 . Although it is vibrating, as for control voltage V20, the outputs V421 and V422 of the peak hold circuit 42 trace maximum and the minimum value. In a discrimination decision circuit 43, it identifies a synchronization and asynchronous by whether both maximum and minimum value exceed the range by default value with default value V431 and V432 as

compared with these (when it exceeds). (when not exceeding)

[0048] Thus, the synchronization and the asynchronous discernment result which were obtained are changed into the change control signal over the above-mentioned switch 41 in the switch control circuit 44. Namely, in a synchronous condition, a switch 41 is controlled to an ON state and a switch 41 is controlled to an OFF state in an asynchronous condition.

[0049] According to the above-mentioned configuration, in order that the limit effect may not be effective in the state of asynchronous, deterioration of a capture range is not caused. In this case, since it operates so that it may be judged as an asynchronous condition and the limit effect may not hear even if there is a change of reference signals IN1 and IN2 by input \*\*\*\*\*, it is not necessary to take a configuration like the 3rd operation gestalt.

[0050] In addition, you may make it intervene between a buffer circuit 21 and the limit circuit 23 with the above-mentioned operation gestalt, as a switch 41 is shown in drawing 9, although it was made to intervene between the limit circuit 23 and the transmission line of control voltage V20.

[0051] As mentioned above, although each operation gestalt of this invention has been explained, it is obvious that it is realizable with the configuration which deformed into bringing about the same effect variously. For example, not only depending on the diodes 27 and 28 but depending on a limit range, zener diode is sufficient as what is used as a limit circuit 23, and it can also change limit voltage, using diode two or more. Thus, the limit circuit 23 is realizable with various configurations.

[0052] Although the above-mentioned example showed the configuration by the operational amplifier 26, and resistance 24 and a capacitor 25 also about the buffer circuit 21, it is not limited only to this configuration as a circuit which realizes an equivalent function. When especially an integrated circuit realizes, a function which makes a response characteristic slow may be built in the voltage follower circuit itself.

[0053] Since the phase fluctuation property at the time of the input change of a PLL circuit can be adjusted by the simple method if this invention is applied as explained above, the layout flexibility when connecting a PLL circuit in multistage can be increased, and the width of face of device selection will also spread. Thus, if compaction of a design time and the width of face of the device which can be used spread, it will become possible to realize and offer equipment more cheaply.

[0054]

[Effect of the Invention] According to this invention, the phase fluctuation property at the time of the input change of a PLL circuit can be adjusted by the simple method as mentioned above. Moreover, since the original lock range and a cap challenge are not then spoiled, the layout flexibility when connecting a PLL circuit in multistage can be increased, and the width of face of device selection can also be expanded. As a result, compaction of a design time and the width of face of the device which can be used spread, and, thereby, equipment can be realized and offered cheaply.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the block circuit diagram showing the 1st operation gestalt of the PLL circuit concerning this invention.

[Drawing 2] It is the circuit diagram showing the concrete configuration of this operation gestalt.

[Drawing 3] It is drawing showing the time response property of the VCO control voltage for explaining actuation of this operation gestalt.

[Drawing 4] It is the wave form chart showing the result of having checked the effect of this invention.

[Drawing 5] It is the block circuit diagram showing the configuration of the 2nd operation gestalt concerning this invention.

[Drawing 6] It is the block circuit diagram showing the configuration of the 3rd operation gestalt concerning this invention.

[Drawing 7] It is the block circuit diagram showing the configuration of the 4th operation gestalt concerning this invention.

[Drawing 8] It is the circuit diagram showing the concrete configuration of this operation gestalt.

[Drawing 9] It is a wave form chart for explaining actuation of this operation gestalt.

[Drawing 10] It is the block circuit diagram showing the configuration of the PLL circuit which has the conventional redundant configuration.

[Drawing 11] It is the block circuit diagram showing the configuration of the answering delay means formed in the conventional PLL circuit.

**[Description of Notations]**

3 -- Selector

4 -- Input \*\*\*\*\*

5 -- Phase comparator

6 -- Loop filter

7 -- Voltage controlled oscillator

8 -- Frequency divider

10 11 -- Zener diode

21 -- Buffer circuit

23 -- Limit circuit

24 -- Resistance

25 -- Capacitor

26 -- Operational amplifier

27 28 -- Diode

31 -- Switch

41 -- Switch

42 -- Peak hold circuit

43 -- Discrimination circuit

44 -- Switch control circuit

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-274633

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L	7/14		H 0 3 L	Z
	7/093			E
	7/107		7/10	C

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21)出願番号 特願平8-15734

(22)出願日 平成8年(1996)1月31日

(31)優先権主張番号 特願平7-13739

(32)優先日 平7(1995)1月31日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221328

東芝通信システムエンジニアリング株式会  
社

東京都日野市旭が丘3丁目1番地の1

(72)発明者 高見 昌之

東京都日野市旭が丘3丁目1番地の1 株  
式会社東芝日野工場内

(74)代理人 弁理士 鈴江 武彦

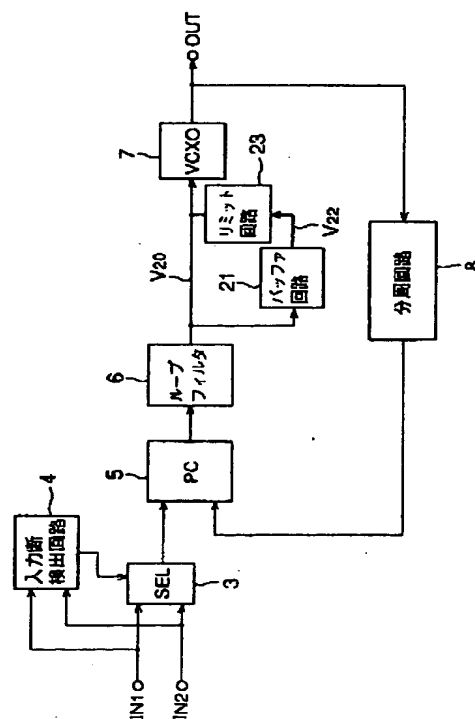
最終頁に続く

(54)【発明の名称】 PLL回路

(57)【要約】

【課題】 簡単な構成で基準信号の切替時に生じる出力位相変動の過渡応答特性を遅くし、定常時と微小な変動に対しては高速に応答するようにする。

【解決手段】 電圧制御発振器7の出力を分周回路8で入力基準信号の周波数に合わせて分周し、この分周出力と入力基準信号とを位相比較器5で位相比較し、その位相誤差信号をループフィルタ6で電圧制御発生器7の制御電圧に変換するPLL回路に対し、ループフィルタ6の出力電圧と直流的には等しい電圧を生成しその生成された電圧の過渡応答特性をループフィルタ6の出力電圧の応答特性よりも遅くなるように設定してなるバッファ回路21と、このバッファ回路21の出力とループフィルタ6の出力と間の電圧差が規定電圧以上になるときループフィルタ6の出力を制限するリミット回路23とを具備するようにしたものである。



(2)

## 【特許請求の範囲】

【請求項1】 制御電圧に応じた周波数の信号を発振出力すると共に入力基準信号の周波数に変換する機能を有する電圧制御発振手段と、

この電圧制御発振手段の出力信号と入力基準信号とを位相比較する位相比較器と、

この位相比較器の出力を前記電圧制御発振器の制御電圧に変換するループフィルタとを備えるPLL回路において、

前記ループフィルタの出力電圧と直流的にはほぼ等しい電圧を生成し、その生成された電圧の過渡応答特性を前記ループフィルタ出力電圧の応答特性よりも遅くなるように設定してなるバッファ回路と、

このバッファ回路の出力端と前記ループフィルタ出力端との間に介在され両出力間の電圧差が規定電圧以上になるとき前記ループフィルタ出力を制限するリミット回路とを具備するPLL回路。

【請求項2】 前記バッファ回路は、前記ループフィルタ出力を低域通過フィルタ及びボルテージフォロア回路を通過させ、前記低域通過フィルタにより時間応答特性を決定し、前記ボルテージフォロア回路で利得を決定するようにしたことを特徴とする請求項1記載のPLL回路。

【請求項3】 前記低域通過フィルタは定常動作時の前記電圧制御発振器の制御電圧近傍の値の電位に終端させるようにしたことを特徴とする請求項2記載のPLL回路。

【請求項4】 さらに、前記入力基準信号が複数あるとき、前記複数の基準信号の一つを選択するセレクトと、前記複数の基準信号の入力状態を見て前記セレクトの選択基準信号の入力断があったとき前記セレクトに入力断検出信号を送り、他の基準信号を選択するように切替制御する入力断検出回路とを備えることを特徴とする請求項1記載のPLL回路。

【請求項5】 さらに、前記バッファ回路の出力端から前記リミット回路を介して前記ループフィルタ出力端までの経路中に介在されるスイッチを備え、このスイッチを前記入力断検出信号に応じてオン／オフ制御するようにしたことを特徴とする請求項4記載のPLL回路。

【請求項6】 さらに、前記バッファ回路の出力端から前記リミット回路を介して前記ループフィルタ出力端までの経路中に介在されるスイッチと、前記ループフィルタの出力レベルが規定値に満たないときは同期状態とみなして前記スイッチをオン状態とし、規定値を越えるときは非同期状態とみなして前記スイッチをオフ状態とするスイッチ制御手段とを備えることを特徴とする請求項1記載のPLL回路。

【請求項7】 前記スイッチ制御手段は、前記ループフィルタの出力のピークレベルを検出するピークホールド回路と、この回路で検出されたピークレベルと規定値とを

比較して同期・非同期を識別する識別回路と、この回路の識別結果に応じて前記スイッチのオン・オフを制御するスイッチ制御回路とを備えることを特徴とする請求項6記載のPLL回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば冗長系を有するPLL回路に関する。

## 【0002】

【従来の技術】周知のように、PLL回路は種々の技術分野で用いられているが、特に通信装置の中では装置の基準となる動作クロックパルス、データのフレームパルス等を生成するための重要な役割を果たしている。

【0003】通信装置は、一般に低い周波数、例えば8[kHz]や2.048[MHz]の基準周波数を外部から受け取り、それを基準にPLL回路を用いて装置自身の動作クロックを作り出している。

【0004】図10は従来のPLL回路の構成を示すもので、外部からの基準信号は2系等入力されて冗長構成がとられている。この2つの入力IN1、IN2はセレクト(SEL)3で選択される。このセレクト3の選択切替制御は入力断検出回路4によってなされる。すなわち、2つの入力があるときはいずれか一方の信号を選択し、その信号が断となった時には他方の入力に切り替えて動作するように制御される。

【0005】セレクト3で選択された基準信号は位相比較器(PC)5の一方の入力端に供給され、他方の入力端に供給される電圧制御発振器(VCXO)7の出力を分周回路8で分周して生成された信号と位相比較される。

【0006】この位相比較によって得られた位相誤差信号はループフィルタ6に入力される。このループフィルタ6は位相比較器5の出力をある設計した伝達関数で電圧制御発振器7の制御電圧に変換するものである。一般にはラグリードフィルタや完全積分型フィルタ等が用いられる。

【0007】上記構成によるPLL回路の出力OUTとしては、入力IN1またはIN2の基準周波数に同期した高速のクロックが得られることになる。通信装置ではこのPLL回路出力を装置内に分配して使用している。また、装置内でさらに高速なクロックが要求される場合には、PLL回路を複数個多段接続して、必要な周波数のクロックを生成するようにしている。

【0008】この場合に問題になるのは、PLL回路の多段接続時の応答特性である。特に、前段のPLL回路において基準信号に障害が発生し、他方の基準信号への切替が発生した時に、後段のPLL回路が追従できるかどうかが問題になる。もし前段のPLLの変動に後段のPLLが追従できなくなると、装置内部で動作クロックの同期がとれなくなり、正常なデータ伝送が行えなく

(3)

3

なってしまう。

【0009】このような問題が発生しないように、PLLを多段接続する場合には、後段のPLLの応答性を前段のPLLよりも高速にし、かつ同期できる周波数範囲を広くするように設計される。

【0010】このように、回路設計においては、この縦続接続のために設計上の制約を受けており、さらには所望の特性を持つデバイスの調査、あるいは新規開発が必要となるため、組み上がった製品はかなり高価になってしまふことが多い。また、使用する部品等の制約により、いつでもその条件を満足できる訳でもない。

【0011】ところで、図10に示した従来のPLL回路において、入力基準信号が断となったときには、入力断検出回路4で障害が検出される迄の間に位相比較器5の入力も消えてしまい、次に新たな基準信号が選択されると、その新たな基準信号の位相に対してPLLが再び同期することになる。また、新たな基準信号が元の基準信号と同じ位相である保障もない。

【0012】このときの過渡応答特性はPLLの伝達特性で決まり、電圧制御発振器7の制御電圧はループフィルタ6のステップ応答に応じて励振されることになる。このため、ループフィルタ6の時定数を大きくとることで、切替時の応答特性を遅くすることができるが、定常時の応答を遅くしなければならなくなる。

【0013】このように、従来では、定常時と微少な変動に対しては高速で、基準の切替時のように大きな位相変動の時のみ応答を遅くするには適当な手段がなかった。尚、図11に示すように、例えばツェナーダイオード10、11を付加して電圧制御発振器7の制御電圧をリミットしてしまうことで、過渡応答を遅くすることはできるが、このような手段ではPLLのロックレンジ、キャプチャレンジが制限されてしまう。しかも、電圧制御発振器7の特性は温度変動が大きいと、このような構成の固定のリミット値で抑制しようとする、動作特性がアンバランスになってしまう問題があり、あまりきつい制限は設けられない。

【0014】また、最近では、設計自由度を増すために、ループフィルタをデジタル論理処理によって実現して、上述の追従特性を良好にすることも行われている。しかしながら、この方式では回路規模が大きく高価でもあり、回路が複雑化するために逆に信頼度が落ちるという問題がある。

【0015】

【発明が解決しようとする課題】以上述べたように従来のPLL回路では、定常時と微少な変動に対しては高速で、基準信号の切替時のように大きな位相変動の時のみ応答を遅くする適当な手段がなかった。

【0016】本発明は上記の課題を解決するためになされたもので、簡単な構成で基準信号の切替時に生じる出力位相変動の過渡応答特性を遅くし、定常時と微少な変

4

動に対しては高速に応答することができ、縦続接続した場合には後段PLLの負担を軽減することができるPLL回路を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するために本発明は、制御電圧に応じた周波数の信号を発振出力すると共に入力基準信号の周波数に変換する機能を有する電圧制御発振手段と、この電圧制御発振手段の出力信号と入力基準信号とを位相比較する位相比較器と、この位相比較器の出力を前記電圧制御発振器の制御電圧に変換するループフィルタとを備えるPLL回路において、前記ループフィルタの出力電圧と直流的には等しい電圧を生成しその生成された電圧の過渡応答特性を前記ループフィルタ出力電圧の応答特性よりも遅くなるように設定してなるバッファ回路と、このバッファ回路の出力と前記ループフィルタ出力との間に介在され両出力間の電圧差が規定電圧以上になるとき前記ループフィルタ出力を制限するリミット回路とを具備するようにしたものである。

【0018】上記構成によるPLL回路では、通常の電圧制御発振器の制御電圧に対して急激な変化が生じたときのみ有効になるリミット回路を付加する、すなわち制御電圧と同じ電圧をつくるバッファ回路を設けて、その過渡応答が制御電圧の応答よりも遅くなるようにしておき、このバッファ出力を基準に、元の制御電圧を制限するようにしたもので、電圧制御発振器の制御電圧が高速に変化するとリミットされ、PLLの入力切替時のように大きな位相変動を起こすときにその応答特性をゆっくりしたものにする事ができる。

【0019】また、本発明によるPLL回路は、さらに、前記バッファ回路の出力端から前記リミット回路を介して前記ループフィルタ出力端までの経路中に介在されるスイッチと、前記ループフィルタの出力レベルが規定値に満たないときは同期状態とみなして前記スイッチをオン状態とし、規定値を越えるときは非同期状態とみなして前記スイッチをオフ状態とするスイッチ制御手段とを備えることを特徴とするものである。

【0020】上記構成によるPLL回路では、リミット回路が機能する時と、機能しないときを同期状態と非同期状態とで選択的に制御することができ、これによってキャプチャレンジの劣化を防ぐことができる。

【0021】

【発明の実施の形態】以下、図1乃至図9を参照して本発明の実施形態を詳細に説明する。図1は本発明に係るPLL回路の第1の実施形態の構成を示すものである。尚、図1において、図7と同一部分には同一符号を付して示し、ここでは異なる部分について説明する。

【0022】図1において、図7に示した従来回路と異なる点は、バッファ回路21、リミット23を追加した点にある。既に述べたように、本発明の目的は、PLL



(4)

5

の他の特性を犠牲にせずに、入力基準信号IN1、IN2の切替が発生したときの出力OUTの位相変化の速度を遅くすることである。この入力IN1、IN2の切替動作の発生したとき、位相比較器5の出力は急激に変動し、ループフィルタ6の出力も追従して変動する。

【0023】バッファ回路21は、ループフィルタ6の出力電圧V20を基準として直流的には等しい電圧を出力V22として取り出せるような回路である。すなわち、バッファ回路21は利得が1倍の回路である。但し、ここではその精度は問題にしないので厳密に1でなくともよい。またバッファ回路21の時間応答特性はループフィルタ6等の応答特性によって決まる制御電圧V20の時間応答特性よりも遅くなるように設定する。

【0024】このように設計したバッファ回路21の出力電圧V22は、直流的には制御電圧V20と等しい。すなわち、温度変動や電源電圧の経時変化のような極めてゆっくりした変化に対しては等しい値で追従する。しかし、位相比較器5の入力がステップ状に変化する入力IN1、IN2の切替時の制御電圧V20の変化に対しては、追従せずに切り替え前の電圧をある程度保持する。このため、制御電圧V20とバッファ回路21の出力電圧V22との間には電圧差が発生する。この電圧差がある範囲を超えときには、バッファ出力V22を基準にして制御電圧V20がそれ以上変化しないようにリミット回路23が付加されている。

【0025】但し、あくまでもバッファ回路21の出力V22を基準にしたリミット特性を得るためには、バッファ回路21の出力側の負荷インピーダンスを制御電圧V20の側よりも低くなるようにしておけばよい。

【0026】実際の回路でこれを実現する場合の例を図2に示す。バッファ回路21は、例えば抵抗(R)24とコンデンサ(C)25で制御電圧V20をフィルタリングした後、オペアンプ(IC)26によるボルテージフォロア回路で増幅出力するように構成して実現する。その利得はボルテージフォロア回路で定まり、ほぼ1となる。時間応答特性は抵抗RとコンデンサCの値で定まるような低域通過フィルタの特性となる。

【0027】リミット回路23としては、ダイオード27、28を互いに逆方向になるように制御電圧V20の伝送ラインとバッファ回路21の出力V22の伝送ラインの間に接続して実現できる。この構成では、制御電圧V20のバッファ回路21の出力V22に対して、正の方向にも負の方向にもそれぞれダイオード27、28の順方向ドロップ電圧分しか変動せず、それよりも差が大きいところではリミットされることになる。この制限値、すなわち順方向ドロップ電圧は、通常、シリコンダイオードでは0.3~0.8[V]である。

【0028】図3は上記構成における応答動作を示す波形図で、図3(a)は制御電圧V20が時間的にゆっくり変動する場合、図3(b)は制御電圧V20が基準信

6

号の切り替えによって急激に変化する場合を示している。尚、図3(b)中の点線で示す波形は従来のPLL回路の制御電圧の変化であり、説明を分かりやすくするために示している。

【0029】この図3からわかるように、制御電圧V20がゆっくり変動する場合には、バッファ回路21の出力電圧V22は制御電圧V20に追従する。このため、両者の電圧差はほとんど発生しない。しかしながら、制御電圧V20が急激に変化する場合、大きな電圧差が発生してしまい、結局、制御電圧V20は、図3(b)中一点鎖線で示すように、ダイオード27によるドロップ電圧Vfで制限された値で変動するようになる。

【0030】つまり、図3(b)のように、制御電圧V20が急変しても、バッファ出力V22は応答せず、制御電圧V20とバッファ出力V22の間にダイオード27の順方向ドロップ電圧Vf以上の差が生じようとする。このため、ダイオード27が低インピーダンスになる。よって、制御電圧V20の変化をリミットすることができる。これをPLL回路出力OUTの位相変化として考えると、本発明の構成によって急激な位相変化はしなくなるということになる。

【0031】ここで、実際に本発明を適用して試験してみた例を図4に示す。図4はPLL回路の出力OUTの位相変化を入力のカロックと同じ周波数まで分周して両者の間の位相変化をタイムインタバルアナライザで測定したものである。変化しているのはPLL回路の入力IN1とIN2の切替を行ったときの位相変化であり、(a)、(b)はそれぞれ本発明の実施前、実施後を示している。ここで、縦軸はPLL入出力の位相差を示し、位相差を変化量と時間(μs単位)で表している。また、横軸は時間軸であり、(a)の場合は1div当り5[ms]、(b)の場合は1div当り25[ms]となっている。

【0032】いずれの場合でも入力の切替が起こる前後では、2マイクロ秒位、位相が変化している。これは入力の初期位相差分である。但し、変化するのにかかっている時間、すなわち画面の中に示す点線のマーカーa、bの間の時間で求めてみると、図4(a)では約12[ms]であり、図4(b)では52[ms]となっている。

【0033】この結果から分かるように、本発明により、入力切替時の位相変動の所要時間を約4倍に引き延ばすことに成功している。これを瞬時周波数の変動に換算すると、図4(a)の場合は約166[ppm]、図4(b)の場合は約40[ppm]となっている。図4(a)の場合は電圧制御発振器の可変範囲の最大値まで瞬間的に変動しているのに対して、本発明の適用によりその変動を抑制することに成功している。

【0034】この効果により、PLLを縦続接続した場

(5)

7

合、従来では後段のPLLの入力に $\pm 200$  [ppm] 近くを変動の最大値として考える必要があった。これに対して、本発明を適用すると $\pm 40$  [ppm] を変動の最大値として考えて設計してよいことになる。このことは使用するデバイスの制約や設計上の制約が4倍楽になるのと等しい。

【0035】また、ロックレンジを計測してみると従来と全く変わらない。すなわち、入力ゆっくりした変化に対する追従特性は従来例のままであることも確認された。本発明に係る第2の実施形態を図5を参照して説明する。尚、図5において、図2と同一部分には同一符号を付して示し、ここでは異なる部分について説明する。

【0036】すなわち、図2の例ではバッファ回路21のコンデンサ25を接地するようにしているが、この実施形態では、ある直流電圧VTのラインに接続するようにしている。この直流電圧VTは定常状態の制御電圧V20の電圧にほぼ等しくなるように設定する。この構成によれば、例えば電源をいれた瞬間の動作をより高速に安定化することができるようになる。

【0037】本発明に係る第3の実施形態を図6を参照して説明する。尚、図6において、図1と同一部分には同一符号を付して示し、ここでは異なる部分について説明する。

【0038】すなわち、PLL回路においてリミット動作が必要になるのは、基準信号の入力断により基準信号の切り替えが生じた場合であり、定常動作状態では不要である。そこで、この実施形態では、バッファ回路21とリミット回路23との間にスイッチ31を設け、このスイッチ31を入力断検出回路4の入力断検出信号によりオン・オフ制御するようにしている。

【0039】この構成によれば、定常動作状態ではリミット回路23が動作せず、入力断があった場合のみリミット回路23が作動するので、定常動作での不安定な状態を回避することができる。

【0040】本発明に係る第4の実施形態を図7を参照して説明する。尚、図7において、図1と同一部分には同一符号を付して示し、ここでは異なる部分について説明する。

【0041】図7において、リミット回路23はスイッチ41を介してループフィルタ6から出力される制御電圧V20の伝送ラインに接続される。また、ループフィルタ6から出力される制御電圧V20はピークホールド回路42にも供給される。このピークホールド回路42は、制御電圧V20の正負ピークレベルを検出保持するもので、その正負保持レベルは識別器43に送られる。

【0042】この識別器43は正負保持レベルをそれぞれ予め決められた規定値と比較し、保持レベルが規定値に満たないときは同期状態とみなし、規定値を越えるときは非同期状態とみなす。その識別結果はスイッチ制御回路44に供給される。

8

【0043】このスイッチ制御回路44は識別結果が同期状態のときは上記スイッチ41をオン状態、非同期状態のときは上記スイッチ41をオフ状態に切替制御する。上記構成において、スイッチ14がオフ状態の場合には図10の従来例の構成と同じである。また、バッファ回路21及びリミット回路23の機能は図1に示した第1の実施形態と同じである。したがって、ここでは追加したスイッチ41、ピークホールド回路42、識別器43及びスイッチ制御回路44の機能と効果について説明する。

【0044】上述したように、ループフィルタ6から出力される制御電圧V20はゆっくりした変動に対しては何のリミット効果も受けないので、スイッチ41がオン状態となってもロックレンジは変わらない。しかしながら、キャプチャレンジ、すなわち非同期状態から同期状態に至るときのレンジは狭くなってしまふ。つまり、引き込み時の周波数可変幅はリミット回路23によって制限されるため、必然的にキャプチャレンジは狭くなってしまふ。

【0045】そこで、この実施形態では、キャプチャレンジを狭くしないように、スイッチ41を設けている。すなわち、PLLが同期するまでの間はスイッチ41をオフ状態としておき、同期状態に至った時に初めてオン状態となるようにしておけばキャプチャレンジの劣化を防ぐことができる。

【0046】非同期状態にあるときの制御電圧V20は、位相誤差が大きく変動するため振動している。ピークホールド回路42ではこの振動の最大値最小値をそれぞれ検出してホールドする。識別回路43では、予め適当な規定値が設定されており、最大値、最小値の両者について規定値による範囲を超えるか否かで同期、非同期を識別する。

【0047】図8にその様子を示す。制御電圧V20は振動しているが、ピークホールド回路42の出力V421、V422は最大値、最小値をトレースする。識別回路43では、規定値V431、V432でこれらと比較し、最大値、最小値の両者が規定値による範囲を超えるか否かで同期（越えない場合）、非同期（越えた場合）を識別する。

【0048】このようにして得られた同期・非同期の識別結果はスイッチ制御回路44にて上記のスイッチ41に対する切替制御信号に変換される。すなわち、同期状態のときはスイッチ41をオン状態に、非同期状態のときはスイッチ41をオフ状態に制御する。

【0049】上記の構成によれば、非同期状態ではリミット効果が効かないため、キャプチャレンジの劣化をきたすことがない。この場合、入力断発生により基準信号IN1、IN2の切替えがあっても、非同期状態と判断してリミット効果がきかないように動作するので、第3の実施形態のような構成をとる必要はない。

(6)

9

【0050】尚、上記実施形態では、スイッチ41をリミット回路23と制御電圧V20の伝送ラインとの間に介在するようにしたが、図9に示すように、バッファ回路21とリミット回路23との間に介在するようにしてもよい。

【0051】以上、本発明の各実施形態について説明してきたが、この他にも同様の効果をもたらすのに種々変形した構成で実現することができるのは自明である。例えばリミット回路23として用いるのは、ダイオード27、28に限らず、リミット範囲によってはツェナーダイオードでもよいし、ダイオードを複数使用してリミット電圧を変えることもできる。このように種々の構成でリミット回路23を実現することができる。

【0052】バッファ回路21についても、上記の具体例ではオペアンプ26と抵抗24、コンデンサ25による構成を示したが、同等の機能を実現する回路としてこの構成のみに限定されるものではない。特に集積回路で実現する場合には、ボルテージフォロア回路自身に応答特性を遅くするような機能をつくり込んでもよい。

【0053】以上説明したように、本発明を適用すれば、簡便な方法でPLL回路の入力切替時の位相変動特性を調整することができるため、PLL回路を多段で接続するときの設計自由度を増すことができ、デバイス選択の幅も広がることになる。このように設計時間の短縮、使用できるデバイスの幅が広がれば、より安価に装置を実現し提供することが可能になる。

#### 【0054】

【発明の効果】以上のように本発明によれば、簡便な方法でPLL回路の入力切替時の位相変動特性を調整することができる。また、その時に元のロックレンジ、キャップチャレンジを損なうことがないため、PLL回路を多段で接続してゆくときの設計自由度を増すことができ、デバイス選択の幅も広げることができる。ひいては、設計時間の短縮、使用できるデバイスの幅が広がり、これにより安価に装置を実現し提供することができる。

#### 【図面の簡単な説明】

【図1】 本発明に係るPLL回路の第1の実施形態を示すブロック回路図である。

10

【図2】 同実施形態の具体的な構成を示す回路図である。

【図3】 同実施形態の動作を説明するためのVCO制御電圧の時間応答特性を示す図である。

【図4】 本発明の効果を確認した結果を示す波形図である。

【図5】 本発明に係る第2の実施形態の構成を示すブロック回路図である。

【図6】 本発明に係る第3の実施形態の構成を示すブロック回路図である。

【図7】 本発明に係る第4の実施形態の構成を示すブロック回路図である。

【図8】 同実施形態の具体的な構成を示す回路図である。

【図9】 同実施形態の動作を説明するための波形図である。

【図10】 従来の冗長構成を有するPLL回路の構成を示すブロック回路図である。

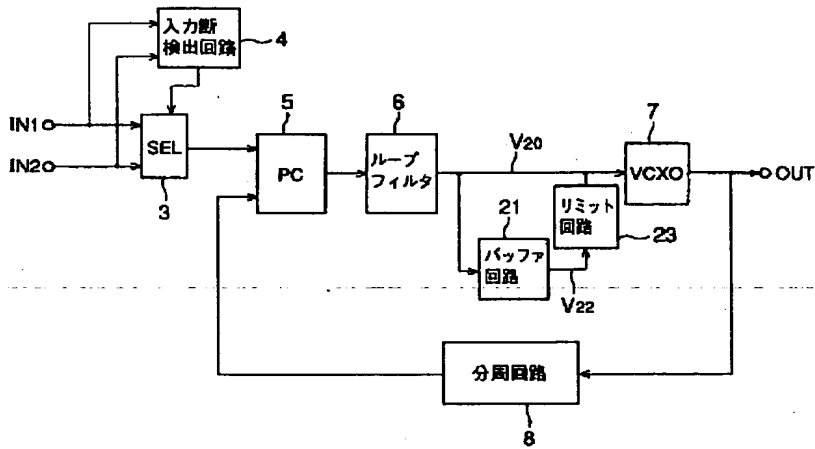
【図11】 従来のPLL回路に設けられる応答遅延手段の構成を示すブロック回路図である。

#### 【符号の説明】

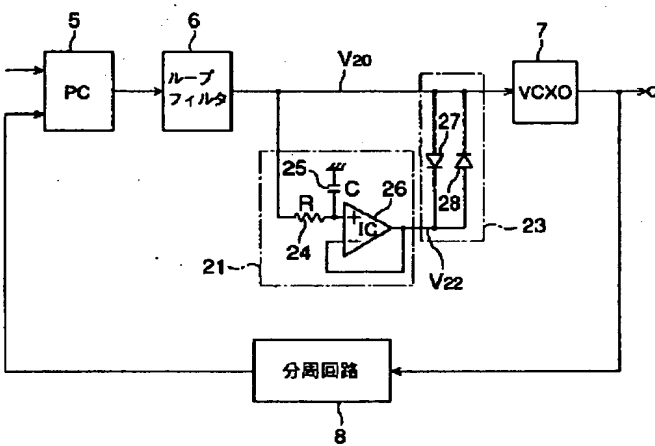
- 3…セレクト
- 4…入力断検出回路
- 5…位相比較器
- 6…ループフィルタ
- 7…電圧制御発振器
- 8…分周回路
- 10、11…ツェナーダイオード
- 21…バッファ回路
- 23…リミット回路
- 24…抵抗
- 25…コンデンサ
- 26…オペアンプ
- 27、28…ダイオード
- 31…スイッチ
- 41…スイッチ
- 42…ピークホールド回路
- 43…識別器
- 44…スイッチ制御回路

(7)

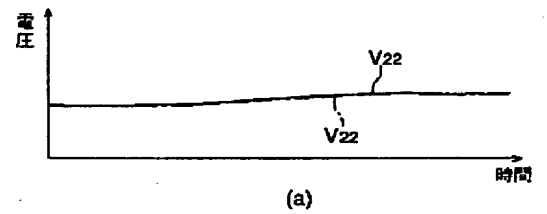
【図1】



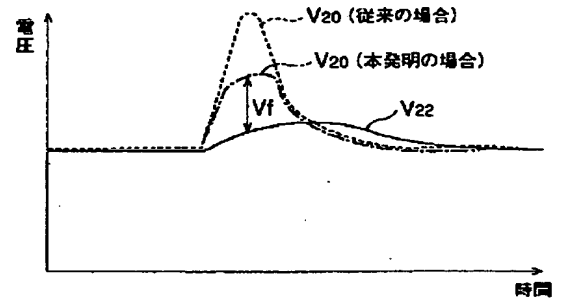
【図2】



【図3】

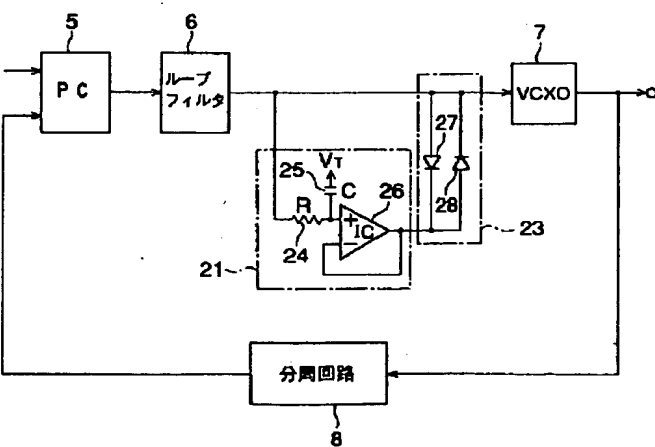


(a)



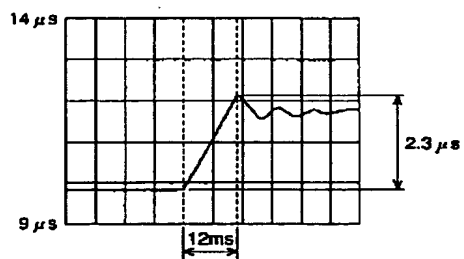
(b)

【図5】



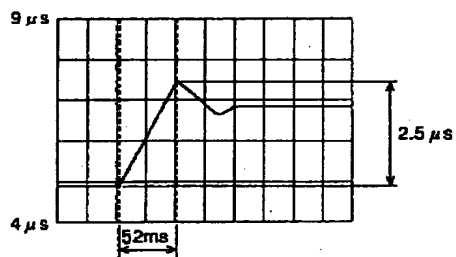
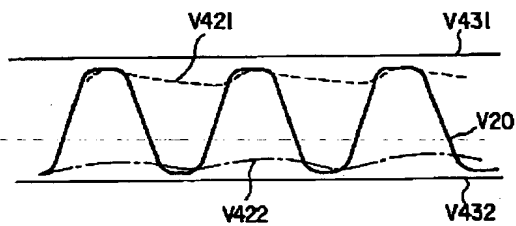
(8)

【図4】



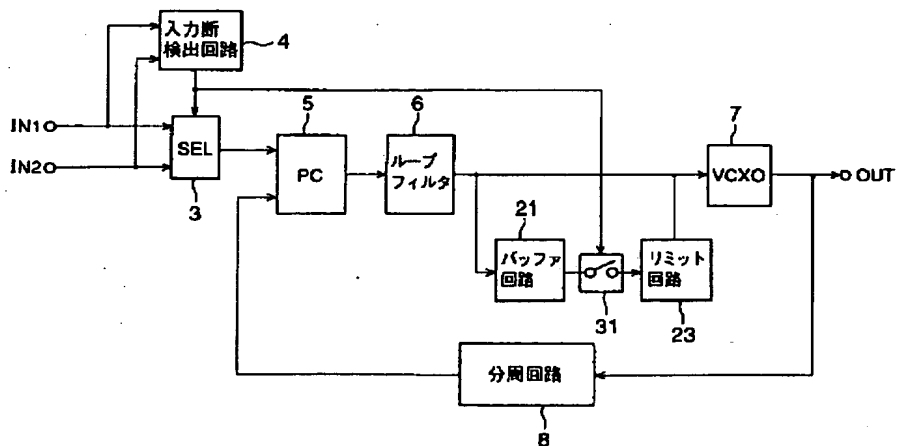
(a)

【図8】



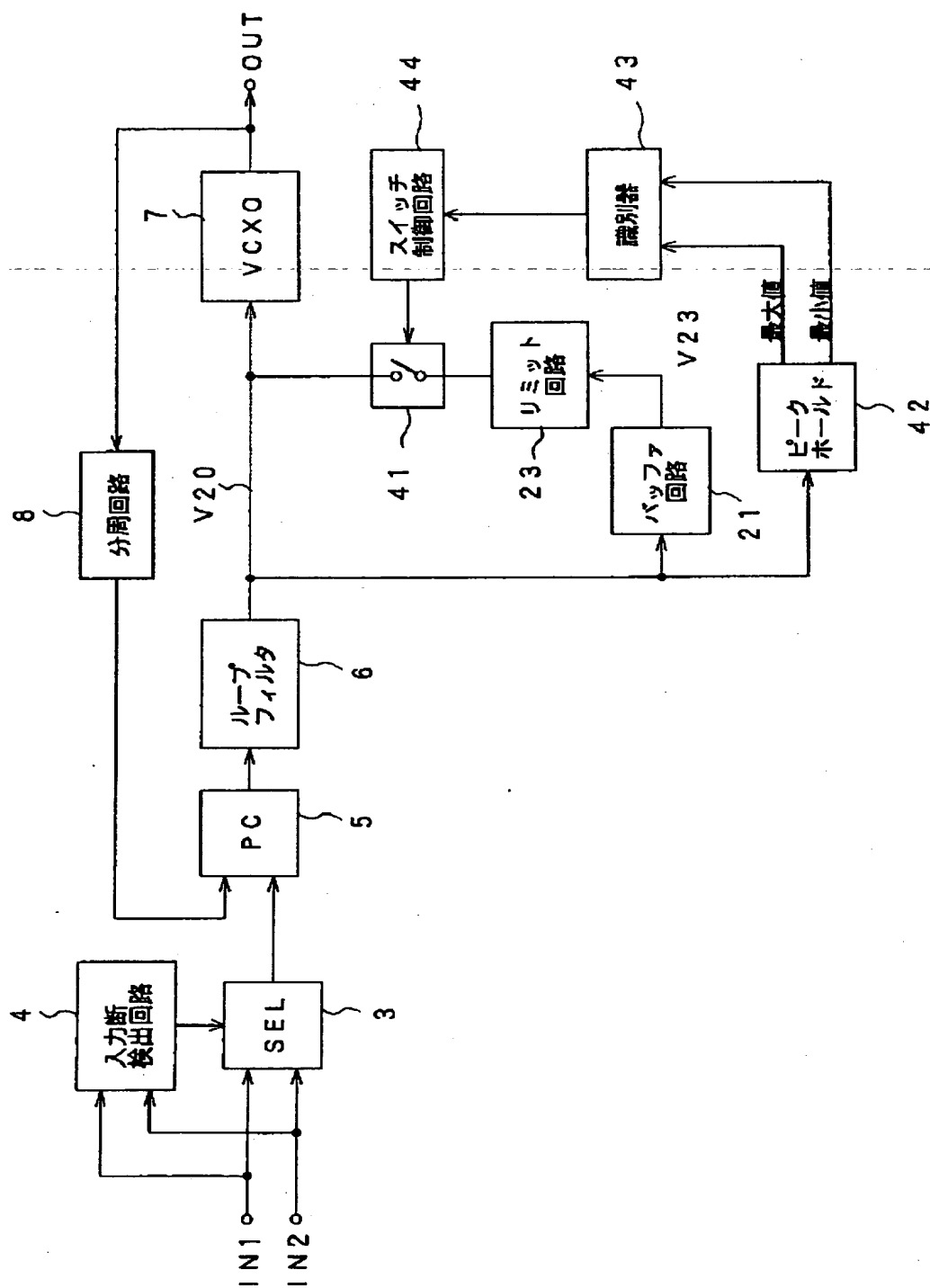
(b)

【図6】



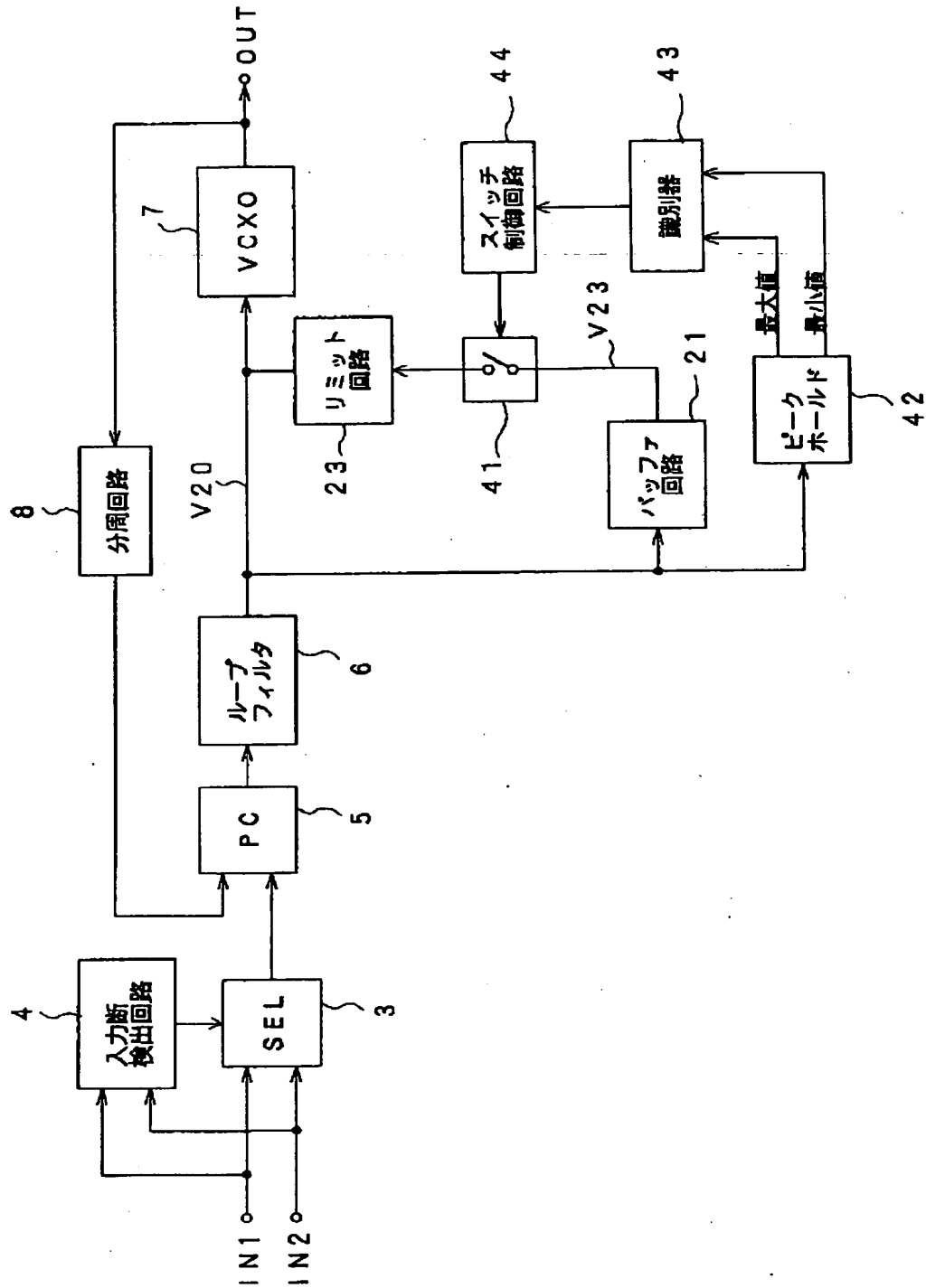
(9)

【図7】



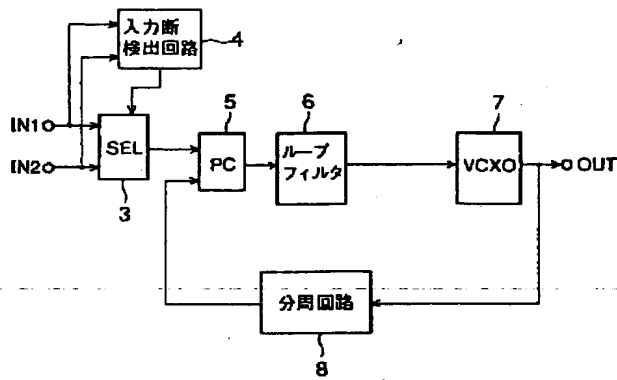
(10)

【図9】

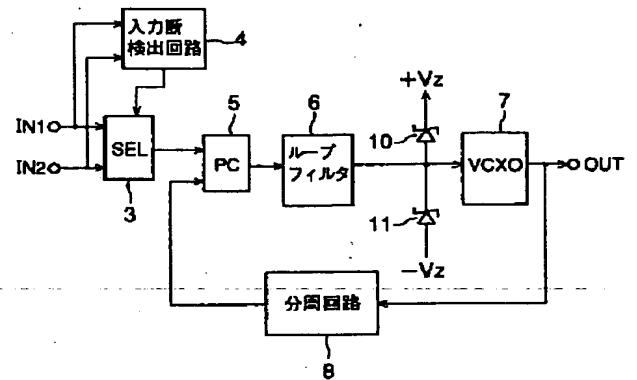


(11)

【図10】



【図11】



フロントページの続き

(72)発明者 片岡 正弘  
東京都日野市旭が丘3丁目1番地の1 東  
芝通信システムエンジニアリング株式会社  
内

(72)発明者 柴垣 太郎  
東京都日野市旭が丘3丁目1番地の1 株  
式会社東芝日野工場内